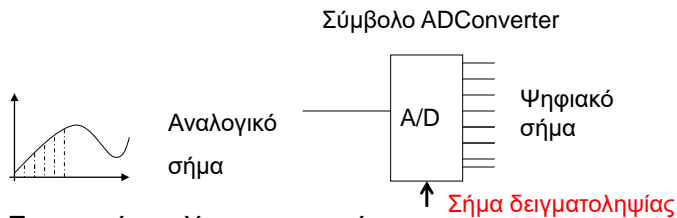


## Μετατροπή Αναλογικού σήματος σε Ψηφιακό



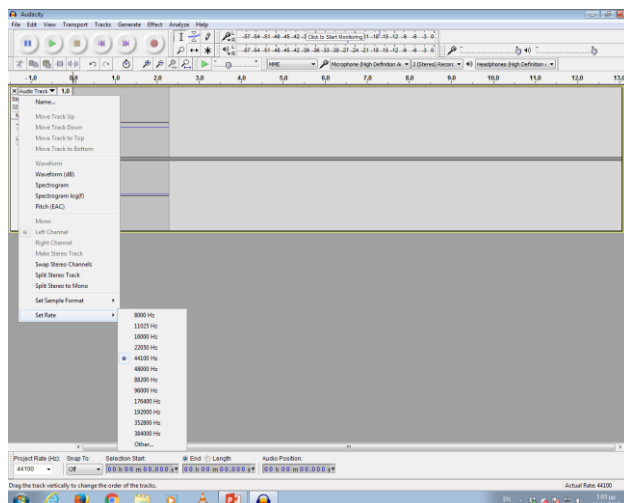
### Παρατηρήσεις-Χαρακτηριστικά

1. Οι ADC παρουσιάζονται υπό μορφή ICs με τεχνολογίας CMOS
2. Όσο μεγαλύτερος είναι ο αριθμός των Bit εξόδου, τόσο καλύτερη ανάλυση έχει ο μετατροπέας.
3. Η συχνότητα δειγματοληψίας πρέπει να είναι ίση ή μεγαλύτερη με το διπλάσιο της μέγιστης συχνότητας που εμπεριέχεται στο αναλογικό σήμα.

Π.χ. αναλογικό σήμα με συχνότητες 50Hz - 20KHz →  $F_{\text{δειγ}} \geq 40\text{KHz}$   
40.000 δείγματα / δευτερόλεπτο

1

## Ριθμίσεις Audacity



2

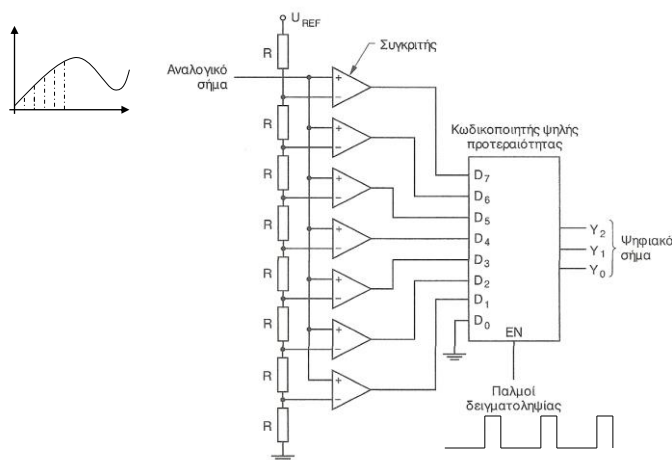
# Κριτήρια σύγκρισης μετατροπών ADC

τετράδιο

1. Χρόνος μετατροπής
2. Ανάλυση ( $U_{out,LSB}$ , Αριθμός Bit εξόδου)
3. Κόστος

3

## Παράλληλος μετατροπέας A/D – Flash 3Bit



Σχ. 10/22: Παράλληλος μετατροπέας των 3-bit

4

## Περιγραφή λειτουργίας A/D – Flash 3Bit

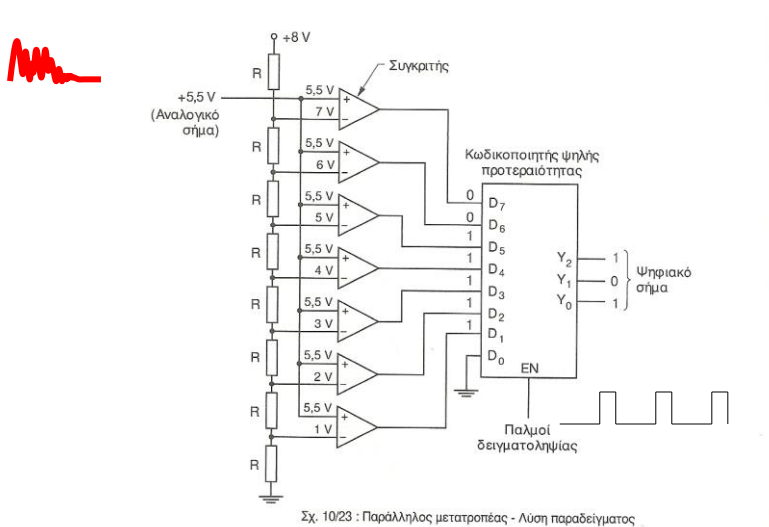
Είναι πολύ γρήγορος(σ'ένα παλμό) αλλά ακριβός λόγω του μεγάλου αριθμού συγκριτών

1. Αποτελείται από 8 αντιστάσεις για διαίρεση της τάσης
2. Αποτελείται από 7 τελεστικούς ενισχυτές ή συγκριτές τάσης. Η έξοδος του γίνεται **θετική "1"** εάν η τάση στην θετική είσοδο είναι μεγαλύτερη από την τάση στην αρνητική είσοδο ( $U^+ > U^-$ )
3. Υπολογισμός αριθμού συγκριτών  

$$\Sigma = 2^n - 1 \quad n = \text{αριθμός εξόδων A/D}$$
 A/D με 3Bit  $\Sigma = 2^3 - 1 = 7$  συγκριτές  
 8Bit .....
4. Κωδικοποιητής υψηλής προτεραιότητας
5. Το σήμα EN καθορίζει την συχνότητα δειγματοληψίας του αναλογικού σήματος.

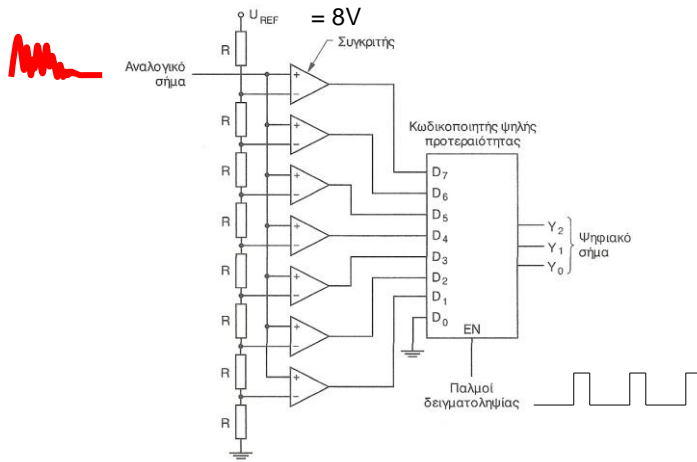
5

## Εφαρμογή με $U_A = 5,5V$



6

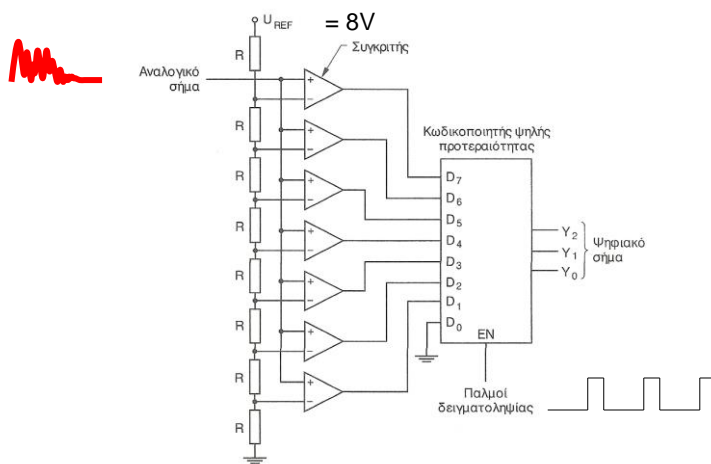
## Εξάσκηση με $U_A = 3,2V$ $Y_2 Y_1 Y_0 = ?$



Σχ. 10/22: Παράλληλος μετατροπέας των 3-bit

7

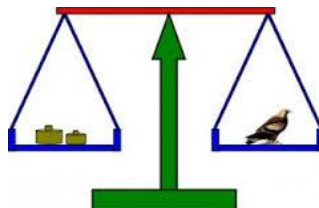
## Ασκήσεις 306/39, $U_A = 4,5V$ $Y_2 Y_1 Y_0 = ?$



Σχ. 10/22: Παράλληλος μετατροπέας των 3-bit

8

## Μετατροπέας Διαδοχικών προσεγγίσεων Successive Approximation ADConverter

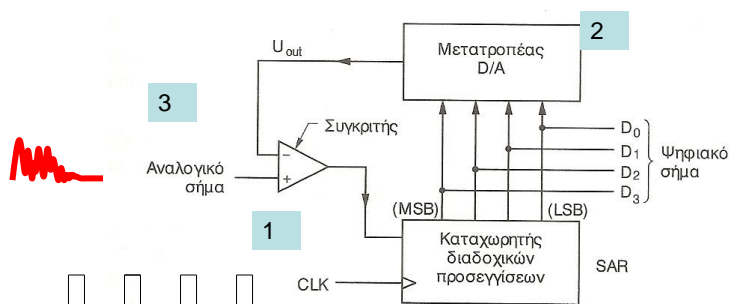


9

## Μετατροπέας Διαδοχικών προσεγγίσεων Successive Approximation ADConverter

1. Η πιο δημοφιλής μέθοδος για ADC
2. Ο πιο γρήγορος μετατροπέας μετά το Flash

### Περιγραφή κυκλώματος



Σχ. 10/24: Μετατροπέας διαδοχικών προσεγγίσεων

### Λειτουργία κυκλώματος

10

## Λειτουργία Κυκλώματος

### Προϋποθέσεις

Για ADC 4Bit χρειαζόμαστε

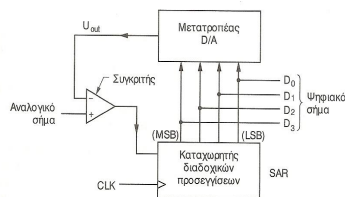
ΚΔΠ 4Bit

DAC 4Bit

4 παλμούς

$U_{outLSB}(0001)$  του D/A= 1V

Για ADC 8Bit χρειαζόμαστε ...



Σχ. 10/24: Μετατροπέας διαδοχικών προσεγγίσεων

Λειτουργία κυκλώματος

### Λειτουργία

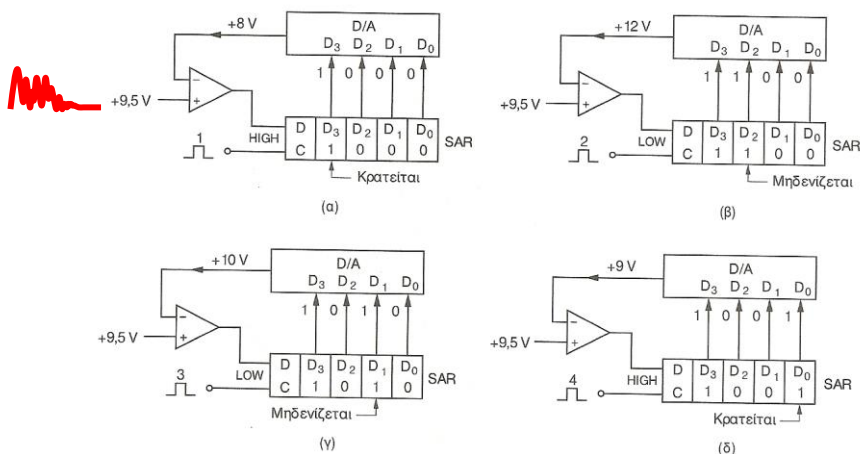
Στον Καταχωρητή Διαδοχικών Προσεγγίσεων-ΚΔΠ

τοποθετούμε με κάθε νέο παλμό τα Bit ξεκινώντας από το MSB σε High και ελέγχουμε μέσω του συγκριτή αν πρέπει να παραμείνει σε High

11

## Παραδειγμα $U_A = 9,5V$

Να παρουσιαστεί το περιεχόμενο του καταχωρητή κατά τους 4 Παλμούς (με  $U_{outLSB} = 1V$  στον D/A)



Σχ. 10/25: Κύκλος μετατροπής μετατροπέα διαδοχικών προσεγγίσεων

12

## Εξάσκηση $U_A = 7,3V$

Να παρουσιαστεί το περιεχόμενο του καταχωρητή κατά τους 4 Παλμούς (με  $U_{outLSB} = 1V$  στον D/A)

13

## Ασκήσεις

- 306/42, 45

14